**Logic circuits based on Vertical nanowire FETs**

**Physical and circuit design challenges and opportunities**

Current trends in nanoelectronics focus on compact and energy-efficient devices

for IoT and embedded systems as well as low carbon footprint high-performance

computing.

However, as the semiconductor industry pushes the limits of Moore's law, new

technologies and design paradigms are emerging.

Gate-all-around vertical nanowire field effect transistors in particular offer

the potential to pursue gate length scaling as well as extreme compactness in

3D architectures.

In this thesis, we propose a novel approach for logic design enabling

exploration and efficient implementations of boolean logic cells leveraging a

concurrent physical and electrical design methodology.

Based on this, and by assembling more complex structures using a custom design

flow, we explore the performance capabilities of our technology and

methodology.

We cover electrical and physical performance estimates based on several methods including demonstrator based compact modelling, Technology Computer Aided Design, Energy Delay Product estimations and Logic synthesis.

As a result, we show in which ways logic elements based on Vertical Nanowires are a possible candidate for future sub-10nm technology nodes by carrying out a comparison with leading edge finFET technologies.

**Keywords:** Nanowire, TCAD, DTCO, Logic synthesis, EDP, Transistor, Performance, Logic design, CMOS, Static, Standard, Compact Model, Simulation, Modeling, sub-10nm, finFET, GAA, Vertical, Manhattan, 3D, Layout, Optimization

**Circuits logiques basés sur des Transistors à nanofils Verticaux**

**Défis et opportunités en termes de conception physique et logique**

Les tendances actuelles dans le domaine de la nano-électronique se focalisent sur plusieurs types de composants.

Il peut s’agir de puces compactes et économes en énergie pour l'IoT et systèmes embarqués ou alors d’éléments pour le calcul haute performances à faible empreinte carbone.

Alors que l'industrie des semiconducteurs repousse les limites de la loi de Moore, de nouvelles technologies et paradigmes de design émergent.

Les transistors Gate-all-around à nanofils verticaux sont particulièrement appropriés pour la réduction de la longueur de grille et pour la conception d'architectures 3D compactes.

Dans cette thèse, nous proposons une nouvelle approche au design logique permettant l'exploration et l'implémentation efficace de fonctions booléennes. Cette implémentation exploite simultanément des méthodes de conception physiques et électriques.

Par extension, en effectuant un assemblage de structures plus complexes et en suivant un flow de conception fait sur mesure, nous explorons les potentiel performances de notre technologie et de notre méthodologie.

Cette étude couvre simultanément les performances électriques et physiques en se basant sur plusieurs techniques.

Notamment l’utilisation d’un modèle compact, la Conception Assistée par Ordinateur Technologique, l’estimation du produit Energie-Retard et la synthèse logique.

Enfin, nous démontrons de quelle manière les éléments logiques basés sur des transistors à nanofils Verticaux sont de bons candidats pour les futurs nœuds technologiques sub-10nm.

Cette démonstration s’accompagne d’une comparaison avec les technologies finFET actuelles.

**Mots-Clés :** Nanofils, TCAD, DTCO, Synthèse Logique, EDP, Transistor, Performance, Conception Logique, CMOS, Statique, Standard, Modèle Compact, Simulation, Modelisation, sub-10nm, finFET, GAA, Vertical, Manhattan, 3D, Agencement, Optimisation